

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

#4

JC997 U.S. PTO
09/941861
08/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 8月31日

出願番号

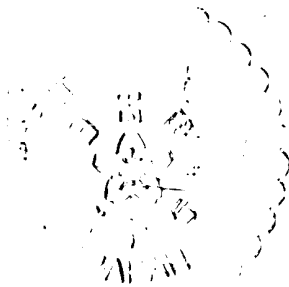
Application Number:

特願2000-263874

出願人

Applicant(s):

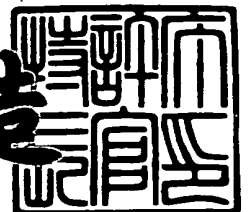
株式会社東芝



2001年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3031941

【書類名】 特許願

【整理番号】 A000004803

【提出日】 平成12年 8月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/00

【発明の名称】 表示制御装置およびコンピュータシステム並びにパワー
マネジメント方法

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都青梅市新町3丁目3番地の1 東芝デジタルメデ
 ィアエンジニアリング株式会社内

 【氏名】 岩城 力

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示制御装置およびコンピュータシステム並びにパワーマネージメント方法

【特許請求の範囲】

【請求項 1】 コンピュータのディスプレイモニタを制御する表示制御装置において、

前記コンピュータのバスを介してアクセス可能に構成され、前記表示制御装置のステートを動作ステートとそれよりも低消費電力の低消費電力ステートの一方に遷移させるための制御情報が設定されるコンフィグレーションレジスタと、

前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステート遷移制御手段とを具備することを特徴とする表示制御装置。

【請求項 2】 前記ステート遷移制御手段は、前記低消費電力ステートへの遷移を禁止する第 1 モードと、前記低消費電力ステートへの遷移を許可する第 2 モードとを有し、

前記コンピュータのバスを介してアクセス可能に構成され、前記第 1 モードおよび前記第 2 モードの一方を指定するモード指定情報が設定されるレジスタをさらに具備することを特徴とする請求項 1 記載の表示制御装置。

【請求項 3】 前記ステート遷移制御手段は、前記低消費電力ステートへの遷移を禁止する第 1 モードと、前記低消費電力ステートへの遷移を許可する第 2 モードとを有し、

前記表示制御装置は L S I から構成されており、前記 L S I は前記第 1 モードおよび前記第 2 モードの一方を指定するモード指定信号を外部から受けるための入力ピンを有することを特徴とする請求項 1 記載の表示制御装置。

【請求項 4】 前記ステート遷移制御手段は、前記動作ステートを指定する制御情報を示す固定データと前記コンフィグレーションレジスタに設定された制御情報の一方を選択的に、前記表示制御装置を構成するハードウェアコンポーネントに接続するスイッチ回路を含み、前記スイッチ回路は、前記低消費電力ステートへの遷移を禁止する第 1 モードでは前記固定データを選択し、前記低消費電

カステートへの遷移を許可する第 2 モードでは前記コンフィグレーションレジスタを選択することを特徴とする請求項 1 記載の表示制御装置。

【請求項 5】 前記低消費電力ステートは前記表示制御装置が動作停止されるステートであることを特徴とする請求項 1 記載の表示制御装置。

【請求項 6】 前記コンピュータのバスを介してアクセス可能に構成され、前記表示制御装置を構成するハードウェアコンポーネントの動作を直接制御可能なレジスタをさらに具備することを特徴とする請求項 1 記載の表示制御装置。

【請求項 7】 CPU と、

ディスプレイモニタを制御するための表示制御装置であって、動作ステートとそれよりも低消費電力の低消費電力ステートとを有する表示制御装置と、

前記表示制御装置に設けられ、前記表示制御装置を前記動作ステートと前記低消費電力ステートの一方に遷移させるための制御情報が設定されるコンフィグレーションレジスタと、

オペレーティングシステムからの命令に応じて、前記低消費電力ステートへの遷移を指定する制御情報を前記コンフィグレーションレジスタに設定する手段と

前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステート遷移制御手段とを具備することを特徴とするコンピュータシステム。

【請求項 8】 CPU と、

主メモリと、

ディスプレイモニタを制御するための表示制御装置であって、消費電力の異なる複数のステートを有する表示制御装置と、

前記表示制御装置に設けられ、前記表示制御装置を複数のステートのいずれかに遷移させるための制御情報が設定されるコンフィグレーションレジスタと、

オペレーティングシステムからの命令に応じて、前記複数のステートの中で前記表示制御装置のデバイスコンテキストが消失される低消費電力ステートへの遷移を指定する制御情報を前記コンフィグレーションレジスタに設定する手段と、

前記主メモリの内容および前記表示制御装置のコンテキストを保持した状態で前記コンピュータシステムをパワーオフするサスペンド処理が正常に実行されるように、前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステート遷移制御手段とを具備することを特徴とするコンピュータシステム。

【請求項 9】 コンピュータのディスプレイモニタを制御する表示制御装置の電力管理を行うパワーマネジメント方法であって、前記表示制御装置には、前記表示制御装置のステートを動作ステートとそれよりも低消費電力の低消費電力ステートの一方に遷移させるための制御情報が設定されるコンフィグレーションレジスタが設けられており、

前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステップと、

前記表示制御装置を構成するコンポーネントの動作を直接制御可能な前記表示制御装置内のレジスタをアクセスして、前記表示制御装置の電力消費を制御するステップとを具備することを特徴とするパワーマネジメント方法。

【請求項 10】 コンピュータのバス上に接続されたデバイスであって、

前記コンピュータのバスを介してアクセス可能に構成され、前記デバイスのステートを動作ステートとそれよりも低消費電力の低消費電力ステートの一方に遷移させるための制御情報が設定されるコンフィグレーションレジスタと、

前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステート遷移制御手段とを具備することを特徴とするデバイス。

【請求項 11】 コンピュータに接続され、動作モードとして少なくとも第 1 の動作ステートと、この第 1 の動作ステートよりも消費電力の少ない第 2 の動作ステートとを有するデバイスであって、

前記コンピュータのオペレーティングシステムからの、第 1 の動作ステートから第 2 の動作ステートへの動作ステート遷移指示を受信する手段と、

前記オペレーティングシステムからの動作ステート遷移指示にかかわらず、動作モード遷移を禁止するステート遷移制御手段とを具備することを特徴とするデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はコンピュータのディスプレイモニタを制御する表示制御装置およびそれを用いたコンピュータシステム並びに表示制御装置のパワーマネジメント方法に関する。

【0002】

【従来の技術】

近年、ノートブックタイプなどに代表されるバッテリー駆動可能な各種パーソナルコンピュータが開発されている。この種のパーソナルコンピュータにおいては、その電力消費の低減を図るためのパワーマネジメント技術が採用されている。そして、その中の一つとして、ACPI仕様 (Advanced Configuration and Power Interface Specification) が知られている。ACPI仕様はオペレーティングシステムがパワーマネジメントを行うための仕様であり、システムパワーマネジメント、プロセッサパワーマネジメント、デバイスパワーマネジメントなどの技術が規定されている。

【0003】

システムパワーマネジメントはコンピュータシステム全体に関するパワーマネジメントであり、S0からS5までのシステムステートを定義している。S0は動作ステート（つまりシステムの電源が入っており、ソフトウェアが実行中の状態）、S5はオフステート（つまり全てのソフトウェアの実行は終了し、システムの電源が切られている状態）であり、S1からS4はその中間のステート（スリープ状態と呼ぶ、つまり直前までのソフトウェアの実行状態を保持しつつ動作が停止している状態）である。これらシステムステートの消費電力の大小関係は、 $S0 > S1 > S2 > S3 > S4 > S5$ である。

【0004】

プロセッサパワーマネジメントはCPU（プロセッサ）に関するパワーマネジメントであり、C0からC5までのステート（プロセッサパワーステート）を定義している。プロセッサパワーステートの消費電力の大小関係は、 $C0 > C1 > C2 > C3 > C4 > C5$ である。

【0005】

同様に、デバイスパワーマネジメントはバス上のデバイスに関するパワーマネジメントであり、D0からD3までのステート（デバイスパワーステート）を定義している。プロセッサパワーステートの消費電力の大小関係は、 $D0 > D1 > D2 > D3$ である。

【0006】

デバイスパワーマネジメントにおいては、LCDパネル、ビデオアダプタ（グラフィクスコントローラ）、IDEデバイス、モデム等の各デバイスは最低D0とD3の2つの状態をサポートすることが要求されている。D0はデバイスが完全にアクティブの動作ステートであり、またD3は電源オフ状態と同等の動作停止ステートである（低消費電力ステート）。

【0007】

【発明が解決しようとする課題】

しかし、現在では、オペレーティングシステムおよび他のソフトウェアの仕様問題や不具合等により、スクリーンオフなどのためにグラフィクスコントローラのステートをD3に遷移させた場合に、様々な問題が生じることが報告されている。

【0008】

すなわち、グラフィクスコントローラに対するD3の設定は、例えば一定時間オペレータからのキー入力が無い場合などにオペレーティングシステムからの命令によって行われる。グラフィクスコントローラは、そのコンフィグレーションレジスタにD3が設定された時に自動的にステートを遷移させて動作停止する。しかし、この後に前述の仕様問題や不具合等により、例えばスクリーンセーバや他のソフトウェアによるグラフィクスコントローラへのアクセスが発生する場合

がある。この場合、実際にはグラフィクスコントローラにアクセスすることはできず、またグラフィクスコントローラからは何ら応答が得られない為、これによってソフトウェアのフリーズや、システムハングアップなどの不具合が引き起こされるのである。

【 0 0 0 9 】

本発明は上述の事情を考慮してなされたものであり、コンフィグレーションレジスタに特定のステートへの遷移を示す制御情報が設定された後にグラフィクスコントローラへのアクセスが発生してもそれによる不具合の発生を防止することが可能な表示制御装置およびコンピュータシステム並びにパワーマネジメント方法を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上述の課題を解決するため、本発明は、コンピュータのディスプレイモニタを制御する表示制御装置において、前記コンピュータのバスを介してアクセス可能に構成され、前記表示制御装置のステートを動作ステートとそれよりも低消費電力の低消費電力ステートの一方に遷移させるための制御情報が設定されるコンフィグレーションレジスタと、前記コンフィグレーションレジスタに対する前記低消費電力ステートへの遷移を指定する制御情報の設定にかかわらず、前記低消費電力ステートへの遷移を禁止するステート遷移制御手段とを具備することを特徴とする。

【 0 0 1 1 】

この表示制御装置によれば、コンフィグレーションレジスタに対して低消費電力ステートへの遷移を指定する制御情報の設定が行われても、ステート遷移制御手段によってその制御情報の設定は無視され、これにより低消費電力ステートへの遷移を禁止することができる。このため、たとえコンフィグレーションレジスタに対して低消費電力ステートへの遷移を指定する制御情報が設定された後に、表示制御装置に対するアクセスが発生しても、ソフトウェアのフリーズや、システムハングアップなどの不具合の発生を防止することができる。また、主メモリの内容および表示制御装置のコンテキストを保持した状態でコンピュータをパワ

ーオフするサスペンド機能を有するシステムにおいては、低消費電力ステートへの遷移を禁止することにより、サスペンド機能を正常に実行することが可能となる。

【 0 0 1 2 】

また、前記ステート遷移制御手段には、前記低消費電力ステートへの遷移を禁止する第1モードと、前記低消費電力ステートへの遷移を許可する第2モードとを設け、第1モードおよび第2モードの一方を指定するモード指定情報を設定するためのレジスタをさらに具備することが好ましい。これにより、不具合の発生が予測される場合にのみ低消費電力ステートへの遷移を予め禁止しておき、それ以外の場合には低消費電力ステートへの遷移を許可するといった制御をソフトウェアによって容易に実現することが可能となる。また、表示制御装置が1チップLSIから構成されている場合には、そのLSIに、第1モードおよび第2モードの一方を指定するモード指定指定信号を外部から受けるための入力ピンを設けておき、その入力ピンに与えるモード指定指定信号の論理値のみによって、低消費電力ステートへの遷移の禁止／許可を制御してもよい。

【 0 0 1 3 】

また、前記ステート遷移制御手段は、前記動作ステートを指定する制御情報を示す固定データと前記コンフィグレーションレジスタに設定された制御情報の一方を選択的に、前記表示制御装置を構成するハードウェアコンポーネントに接続するスイッチ回路を含み、前記スイッチ回路は、前記低消費電力ステートへの遷移を禁止する第1モードでは前記固定データを選択し、前記低消費電力ステートへの遷移を許可する第2モードでは前記コンフィグレーションレジスタを選択するように構成することが望ましい。これにより、簡単なハードウェアロジックの追加のみで、低消費電力ステートへの遷移の禁止／許可を制御することが可能となる。

【 0 0 1 4 】

また、前記表示制御装置には、前記コンピュータのバスを介してアクセス可能に構成され、前記表示制御装置を構成するハードウェアコンポーネントの動作を直接制御可能なレジスタをさらに具備することが好ましい。これにより、コンフ

ィグレーションレジスタを通じて行われる低消費電力ステートへの遷移を禁止した場合であっても、表示制御装置固有の仕様に基づく省電力制御を行うことができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図 1 には、本発明の一実施形態に係るコンピュータシステムのシステム構成が示されている。このコンピュータシステムはバッテリー駆動可能なノートブックタイプの携帯型パーソナルコンピュータであり、図示のように、CPU 11、ホストブリッジ 12、主メモリ 13、グラフィクスコントローラ 14、サウンドコントローラ 15、PCI-ISAブリッジ 16、I/Oコントローラ 17、ハードディスクドライブ（HDD）18、BIOS-ROM 19、キーボードコントローラ（KBC）20などを備えている。

【 0 0 1 6 】

CPU 11 は本システム全体を制御するためのものであり、主メモリ 13 上にロードされたオペレーティングシステム、各種アプリケーションプログラム、および BIOS 等を実行する。ホストブリッジ 12 は CPU バス 1 と PCI バス 3 間を双方向で接続するためのブリッジ LSI であり、ここには主メモリ 13 をアクセス制御するためのメモリコントローラ、および AGP（Accelerated Graphics Port）2 を介してグラフィクスコントローラ 14 との間のデータ転送を行う AGP ブリッジ機能が搭載されている。AGP 2 はグラフィクスコントローラ 14 との間のデータ転送のための専用バスであり、PCI バス規格の拡張仕様の一つとして定義されている。

【 0 0 1 7 】

グラフィクスコントローラ 14 は本コンピュータシステムのディスプレイモニタとして使用される LCD 143 および外部 CRT ディスプレイ 142 を制御するための表示制御装置であり、1 チップ LSI から構成されている。グラフィクスコントローラ 14 はビデオメモリ（VRAM）141 への描画機能および VRAM 141 上のデータを表示信号に変換してディスプレイモニタに出力する機能

などを有しており、グラフィクスアクセラレータとして機能する。このグラフィクスコントローラ14はACPI仕様に準拠したデバイスであり、デバイスステートD0～D3の内の少なくともD0、D3をサポートしている。グラフィクスコントローラ14には、デバイスステート制御等に使用されるPCIコンフィグレーションレジスタが設けられており、AGP2を介してそこにD3が設定されると、D3にステートを遷移する。D3は電源オフ状態と同等の動作停止ステートであり、通常はグラフィクスコントローラ14のデバイスコンテキストは消失される。

【0018】

さらに、本実施形態においては、グラフィクスコントローラ14には“D3バイパスモード”と称する特殊モードが用意されている。この“D3バイパスモード”はPCIコンフィグレーションレジスタに対するD3の設定を無視し、グラフィクスコントローラ14がD3に遷移するのを禁止する機能である。“D3バイパスモード”の有効／無効は、BIOSあるいはシステム内のハードウェアによって制御することができる。

【0019】

サウンドコントローラ15は本システムの音源として使用されるものであり、オーディオ再生出力機能を有している。このサウンドコントローラ15もACPI仕様に準拠したデバイスであり、デバイスステートD0～D3の内の少なくともD0、D3をサポートしている。サウンドコントローラ15には、デバイスステート制御等に使用されるPCIコンフィグレーションレジスタが設けられており、PCIバス3を介してそこにD3が設定されると、D3にステートを遷移する。D3は電源オフ状態と同等の動作停止ステートであり、D3では通常はサウンドコントローラ15のデバイスコンテキストは消失される。

【0020】

PCI-ISAブリッジ16はPCIバス3とISAバス4間を双方向で接続するブリッジLSIである。ISAバス4にはBIOS-ROM19の他、キーボードコントローラ(KBC)20などのISAデバイスが接続されている。BIOS-ROM19にはシステムBIOS (Basic Input Output System) が記

憶されている。システムBIOSは、システム起動時に実行されるPOSTルーチン（ハードウェアの初期化およびテスト）、グラフィクスコントローラ14を制御するためのVGA-BIOSを初めとする各種ハードウェア制御のためのルーチン、およびシステムの電源オン・オフおよび省電力に関するシステム管理ルーチンなどから構成されている。システム管理ルーチンは、メモリスuspend機能およびハイバネーション機能等を提供する。

【 0 0 2 1 】

メモリスuspend機能は現在の動作環境を復元するために必要な主メモリ13を含む最小限のデバイスの状態のみを保持し、それ以外のほとんどのデバイスをパワーオフする機能である。また、ハイバネーション機能は、現在の動作環境を復元するために必要な主メモリ13の内容および他の各種デバイスの状態をハードディスク18の所定記憶領域に記憶した後に、システム全体をパワーオフする機能である。本実施形態においては、例えばシステムステートS3としてメモリスuspend機能を使用し、またシステムステートS4としてハイバネーション機能を使用する。なお、システムステートS0～S5とデバイスステートD0～D3は直接関係するものではなく、通常は、システムステートS0（ワーキングステート）においても、任意のデバイスをD0～D3の任意のステートに遷移させることが可能である。

【 0 0 2 2 】

次に、図2を参照して、グラフィクスコントローラ14のステート遷移について説明する。

図2（a）はノーマルモードにおけるグラフィクスコントローラ14のステート遷移を示し、また図2（b）は前述のD3バイパスモードにおけるグラフィクスコントローラ14のステート遷移を示している。

【 0 0 2 3 】

ノーマルモードは、D3への遷移が許可されているモード、つまりD3バイパスモードが無効化されている場合のモードである。このノーマルモードにおいては、グラフィクスコントローラ14のPCIコンフィグレーションレジスタに対するアクセスにより、グラフィクスコントローラ14をD0またはD3に入れる

ことができる。もちろん、グラフィクスコントローラ14がD1、D2もサポートしていれば、グラフィクスコントローラ14のステートはD0～D3の間で遷移されることになる。

【0024】

一方、D3バイパスモードにおいては、PCIコンフィグレーションレジスタに対するD3の設定は無視され、オペレーティングシステムからの命令によってPCIコンフィグレーションレジスタにD3が設定されても、グラフィクスコントローラ14はD3に遷移しない。グラフィクスコントローラ14のパワーセーブは、システムBIOSがグラフィクスコントローラ14のハードウェアコンポーネントの動作を直接制御することによって実行される（スペシャルパワーセーブモード）。このスペシャルパワーセーブモードでは、例えばグラフィクスコントローラ14内のDAC（D/Aコンバータ）の動作クロックの停止や、グラフィクスコントローラ14内に存在する多数のハードウェアコンポーネントを選択的にディスエーブルすることなどが行われる。

【0025】

図3には、グラフィクスコントローラ14の制御に関するソフトウェアの階層構造が示されている。通常、画面表示およびその他の制御のためのグラフィクスコントローラ14に対するアクセスは、オペレーティングシステム（OS）の制御の下、PCIコンフィグレーションドライバ、ディスプレイドライバ等を介して行われる。一方、グラフィクスコントローラ14のPCIコンフィグレーションレジスタに対するD3設定のためのアクセスは、オペレーティングシステム（OS）からの命令に従いPCIコンフィグレーションドライバによって直接実行され、ディスプレイドライバは経由しない。BIOSはディスプレイドライバとの通信インタフェースを持つが、D3設定のためのアクセスはディスプレイドライバを経由しないので、D3設定のためのアクセスをBIOSによってフックすることは困難である。このため、本実施形態では、前述のD3バイパスモードは、グラフィクスコントローラ14内に組み込んだハードウェア（D3バイパス回路）を用いてハードウェア的に実現している。これにより、確実に、D3の設定を無効化することができる。

【0026】

次に、図4を参照して、グラフィクスコントローラ14のハードウェア構成を説明する。

グラフィクスコントローラ14は、図示のように、PCIコンフィグレーションレジスタ201、D3バイパスレジスタ202、I/Oレジスタ群203、バイパス回路204、およびコアユニット205を備えている。コアユニット205は描画およびディスプレイモニタ制御機能を提供するものであり、図示のように、デュアルディスプレイ制御をサポートする2つのグラフィクスエンジン301、302、2D演算用の2Dエンジン303、3D演算用の3Dエンジン304、AGPとの間のバスインターフェースユニット(BIU)305、VRAM制御用のメモリインターフェースユニット(MIU)306、CRTへのビデオ信号出力用のD/Aコンバータ(DAC)307、LCD制御用のLCDゲートアレイ(LCD GA)308、TVへのビデオ信号出力用のTV用D/Aコンバータ(TV DAC)309などを備えている。

【0027】

PCIコンフィグレーションレジスタ201はAGP2を介してアクセス可能なレジスタであり、グラフィクスコントローラ14の各種動作環境を設定するためのコンフィグレーション空間内に定義されている。このPCIコンフィグレーションレジスタ201には、グラフィクスコントローラ14のステートをD0、D3の一方に遷移させるための制御情報が設定される。バイパス回路204はPCIコンフィグレーションレジスタ201に対するD3の設定を無効化するためのハードウェアであり、D0を示す固定データとPCIコンフィグレーションレジスタ201を選択的にコアユニット205に接続するためのスイッチ回路SWを有している。コアユニット205は、バイパス回路204を介して供給されるD0またはD3を示すデータに従い、ハードウェア的にD0またはD3のステートに遷移する(パワーマネジメント#1)。

【0028】

D3バイパスレジスタ202はAGP2を介してアクセス可能なレジスタであり、コンフィグレーション空間またはI/O空間に定義されたスペシャルレジス

タとして実現されている。このD3バイパスレジスタ202には、前述のD3バイパスモードとノーマルモードの一方を指定するための制御情報がBIOSによって設定される。ノーマルモードを指定するための制御情報がD3バイパスレジスタ202に設定された場合、スイッチ回路SWは、PCIコンフィグレーションレジスタ201を選択する。一方、D3バイパスモードを指定するための制御情報がD3バイパスレジスタ202に設定された場合、スイッチ回路SWは、D0を示す固定データを選択する。なお、ノーマルモードをグラフィクスコントローラ14のデフォルトの動作モードとして規定した場合には、D3バイパスレジスタ202に対するノーマルモードの設定動作は特に行う必要はない。

【0029】

I/Oレジスタ群203はコアユニット205の動作を直接制御するためのレジスタ群であり、AGP2を介してアクセス可能である。BIOSは、I/Oレジスタ群203を介してコアユニット205の動作を直接制御することにより、グラフィクスコントローラ14固有の仕様に基づくパワーマネジメント#2（スペシャルパワーセーブモード）を実行することができる。具体的には、グラフィクスエンジン301、302、2Dエンジン303、3Dエンジン304、BIU305、MIU306、DAC307、LCD GA308、およびTV DAC309を選択的に動作停止させたり、所定のユニットに対するクロック速度の切り替えなどの制御が行われる。

【0030】

次に、図5および図6のフローチャートを参照して、ノーマルモードおよびD3バイパスモードそれぞれにおける動作について説明する。

【0031】

（ノーマルモード）

図5に示すように、オペレーティングシステム（OS）は、そのポリシーに基づいて例えばスクリーンオフのための所定の条件が成立したことを検出した場合、PCIコンフィグレーションドライバに対してグラフィクスコントローラ14をD3に設定する命令を発行する（ステップS101）。この命令に応じて、PCIコンフィグレーションドライバは、AGP2を介してグラフィクスコントロ

ーラ14をアクセスし、PCIコンフィグレーションレジスタ201にD3を示す制御情報を設定する(ステップS102)。D3を示す制御情報はコアユニット205に伝えられ、これによりグラフィクスコントローラ14は自動的にD3に遷移する(ステップS103)。この後、もし前述の仕様問題や不具合等により、例えばスクリーンセーバや他のソフトウェアによるグラフィクスコントローラ14へのアクセスが発生すると、ソフトウェアのフリーズや、システムハングアップなどの不具合が引き起こされることになる。また、メモリサスペンドを正常に行うためには、グラフィクスコントローラ14のコンテキストを、グラフィクスコントローラ14がD3に設定される前に事前に主メモリ13にセーブしておくことが必要となる。

【0032】

(D3バイパスモード)

図6に示すように、BIOSは、例えばシステム起動時などに、AGP2を介してグラフィクスコントローラ14をアクセスし、D3バイパスレジスタ202にD3バイパスモードを示す制御情報を設定する(ステップS111)。これにより、バイパス回路204はPCIコンフィグレーションレジスタ201の内容に関係なく、常に固定データ(=D0)を選択する。

【0033】

オペレーティングシステム(OS)は、そのポリシーに基づいて例えばスクリーンオフのための所定の条件が成立したことを検出した場合、PCIコンフィグレーションドライバに対してグラフィクスコントローラ14をD3に設定する命令を発行する(ステップS112)。この命令に応じて、PCIコンフィグレーションドライバは、AGP2を介してグラフィクスコントローラ14をアクセスし、PCIコンフィグレーションレジスタ201にD3を示す制御情報を設定する(ステップS113)。しかし、D3を示す制御情報はコアユニット205に伝えられず、D3の設定は無視される。これによりグラフィクスコントローラ14はD3には遷移しない。

【0034】

この後、BIOSは、自身のポリシーに基づいてグラフィクスコントローラ1

4に対するパワーマネジメント制御#2を実行する(ステップS114)。パワーマネジメント制御#2は、BIOSがI/Oレジスタ群203を通じてコアユニット205の動作を直接制御することによって実行される。この後、もし前述の仕様問題や不具合等により、例えばスクリーンセーバや他のソフトウェアによるグラフィクスコントローラ14へのアクセスが発生しても、グラフィクスコントローラ14はD3ではないので、前述のような問題は生じない。また、BIOSによるパワーマネジメント制御#2では、グラフィクスコントローラ14のコンテキストが消失されないようなパワーマネジメントを行うことにより、事前にグラフィクスコントローラ14のコンテキストを主メモリ13にセーブすることなく、メモリスuspendを正常に実行することが可能となる。

【0035】

次に、図7を参照して、グラフィクスコントローラ14の第2の構成例を説明する。

図7は、図4のD3バイパスレジスタ202の代わりに、ハードウェアストラップ401を用いてバイパス回路204をハードウェア的に制御する構成であり、他の点は図4と同じである。ハードウェアストラップ401は、1チップLSIから構成されるグラフィクスコントローラ14の所定の1入力ピンP1に接続されており、その入力ピンP1を介して、バイパス回路204をノーマルモードとD3バイパスモードの一方に設定するための制御信号をバイパス回路204に供給する。入力ピンP1は図示のようにグラフィクスコントローラ14内でプルアップ抵抗R1を介して電源端子に接続されている。

【0036】

ハードウェアストラップ401はシステム基板上に実装されており、図示のように、ジャンパスイッチ500とプルダウン抵抗R2とから構成されている。ジャンパスイッチ500をオンして入力ピンP1をプルダウン抵抗R2に接続することにより、D3バイパスモードを示す制御信号“0”をバイパス回路204に供給することができる。一方、ジャンパスイッチ500をオフしておくことにより、ノーマルモードを示す制御信号“1”をバイパス回路204に供給することができる。ジャンパスイッチ500のオン/オフは、本コンピュータシステムの

出荷時に本システムで使用するOSに合わせて予め設定したり、あるいは製品出荷後にユーザがオン／オフ設定するようにしてもよい。また、ジャンプスイッチ500の代わりにディップスイッチを設けたり、あるいはグラフィクスコントローラ14を固定的にD3バイパスモードで動作させる場合には、半田付けによって入力ピンP1をシステム基板上の接地端子に予め接続しておいても良い。

【0037】

図8には、本発明の一実施形態に係るコンピュータシステムの第2の構成例が示されている。本例においては、グラフィクスコントローラ14のみならず、サウンドコントローラ15にも前述のD3バイパスモードを設けており、他の点は図1と同じである。

【0038】

D3バイパスモードに関するサウンドコントローラ15の構成は、図4で説明したグラフィクスコントローラ14の場合と同じであり、サウンドコントローラ15にはバイパス回路およびD3バイパスレジスタが設けられる。これにより、サウンドコントローラ15においても、PCIコンフィグレーションレジスタに対するD3の設定を無効化して、D3への遷移を禁止することができる。

【0039】

次に、図9のフローチャートを参照して、D3バイパスモードにおける動作について説明する。

【0040】

(D3バイパスモード)

図9に示すように、BIOSは、例えばシステム起動時などに、AGP2を介してグラフィクスコントローラ14をアクセスし、D3バイパスレジスタ202にD3バイパスモードを示す制御情報を設定する(ステップS201)。これにより、バイパス回路204はPCIコンフィグレーションレジスタ201の内容に関係なく、常に固定データ(=D0)を選択するので、グラフィクスコントローラ14はD3バイパスモードとなる。次いで、BIOSは、PCIバス3を介してサウンドコントローラ15をアクセスし、サウンドコントローラ15内のD3バイパスレジスタにD3バイパスモードを示す制御情報を設定する(ステップ

S202)。これにより、サウンドコントローラ15についてもD3バイパスモードとなる。

【0041】

オペレーティングシステム(OS)は、そのポリシーに基づいて例えばスクリーンオフのための所定の条件が成立したことを検出した場合、PCIコンフィグレーションドライバに対してグラフィクスコントローラ14をD3に設定する命令を発行する(ステップS112)。この命令に応じて、PCIコンフィグレーションドライバは、AGP2を介してグラフィクスコントローラ14をアクセスし、PCIコンフィグレーションレジスタ201にD3を示す制御情報を設定する(ステップS113)。しかし、D3を示す制御情報はコアユニット205に伝えられず、D3の設定は無視される。これによりグラフィクスコントローラ14はD3には遷移しない。サウンドコントローラ15についても同様であり、OSからの命令によって、PCIコンフィグレーションドライバがPCIバス3を介してサウンドコントローラ15のPCIコンフィグレーションレジスタ201にD3を示す制御情報を設定しても(ステップS205)、サウンドコントローラ15はD3に遷移しない。

【0042】

この後、BIOSは、自身のポリシーに基づいてグラフィクスコントローラ14またはサウンドコントローラ15に対するパワーマネジメント制御#2を実行する(ステップS206)。サウンドコントローラ15に対するパワーマネジメント制御#2は、BIOSがサウンドコントローラ15のI/Oレジスタ群を通じてそのサウンドコントローラ15のハードウェアコンポーネントの動作を直接制御することによって実行される。

【0043】

この後、もし前述の仕様問題や不具合等により、ソフトウェアによるグラフィクスコントローラ14やサウンドコントローラ15へのアクセスが発生しても、グラフィクスコントローラ14およびサウンドコントローラ15はD3ではないので、前述のような問題は生じない。また、BIOSによるパワーマネジメント制御#2では、グラフィクスコントローラ14およびサウンドコントローラ1

5 それぞれのコンテキストが消失されないようなパワーマネージメントを行うことにより、事前にグラフィクスコントローラ 1 4 およびサウンドコントローラ 1 5 それぞれのコンテキストを主メモリ 1 3 にセーブすることなく、メモリサスペンドを正常に実行することが可能となる。

【 0 0 4 4 】

なお、以上の説明では、グラフィクスコントローラ 1 4 およびサウンドコントローラ 1 5 などのバス上のデバイスに対する D 3 の設定をバイパスする場合についてのみ説明したが、誤動作を防ぐことが肝要であるので、バスアクセスに影響のない最小限のステート遷移については許容することが好ましい。つまり、D 0 , D 3 の他にその中間の D 1 , D 2 のステートを有するデバイスにおいては、それら消費電力の異なる複数のステートの中で、バスアクセスに影響のあるステート（そのステートへの遷移後にバスを介したデバイスへのアクセスが正常に実行できないステート）への遷移を無効化すれば良い。

【 0 0 4 5 】

また、本発明は、コンピュータに接続して使用される各種デバイス（バス上のデバイス、および周辺装置等）に適用することができ、動作モード（ステート）としてとして少なくとも第 1 の動作ステートと、この第 1 の動作ステートよりも消費電力の少ない第 2 の動作ステートとを有するデバイスであれば、ノーマルモードでは、オペレーティングシステムからの第 1 の動作ステート第 2 の動作ステートへのステート遷移指示を受信して、それに応じたステート遷移を行い、バイパスモードでは、オペレーティングシステムからのステート遷移指示にかかわらず、ステート遷移を禁止するという構成を採用することが可能である。

【 0 0 4 6 】

また、本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場

合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 0 4 7 】

【発明の効果】

以上詳述した如く本発明によれば、コンフィグレーションレジスタに特定のステートへの遷移を示す制御情報が設定された後にグラフィクスコントローラへのアクセスが発生してもそれによる不具合の発生を防止できるようになり、システムおよび表示制御装置の動作の信頼性の向上を図ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【図 2】

同実施形態で使用されるグラフィクスコントローラのステート遷移を説明するための図。

【図 3】

同実施形態で使用されるグラフィクスコントローラの制御に関するソフトウェアの階層構造を説明するための図。

【図 4】

同実施形態で使用されるグラフィクスコントローラの構成を示すブロック図。

【図 5】

同実施形態におけるノーマルモード時の動作を説明するフローチャート。

【図 6】

同実施形態における D 3 バイパスモード時の動作を説明するフローチャート。

【図 7】

同実施形態で使用されるグラフィクスコントローラの他の構成例を示すブロック図。

【図 8】

同実施形態のシステムの他の構成を示すブロック図。

【図 9】

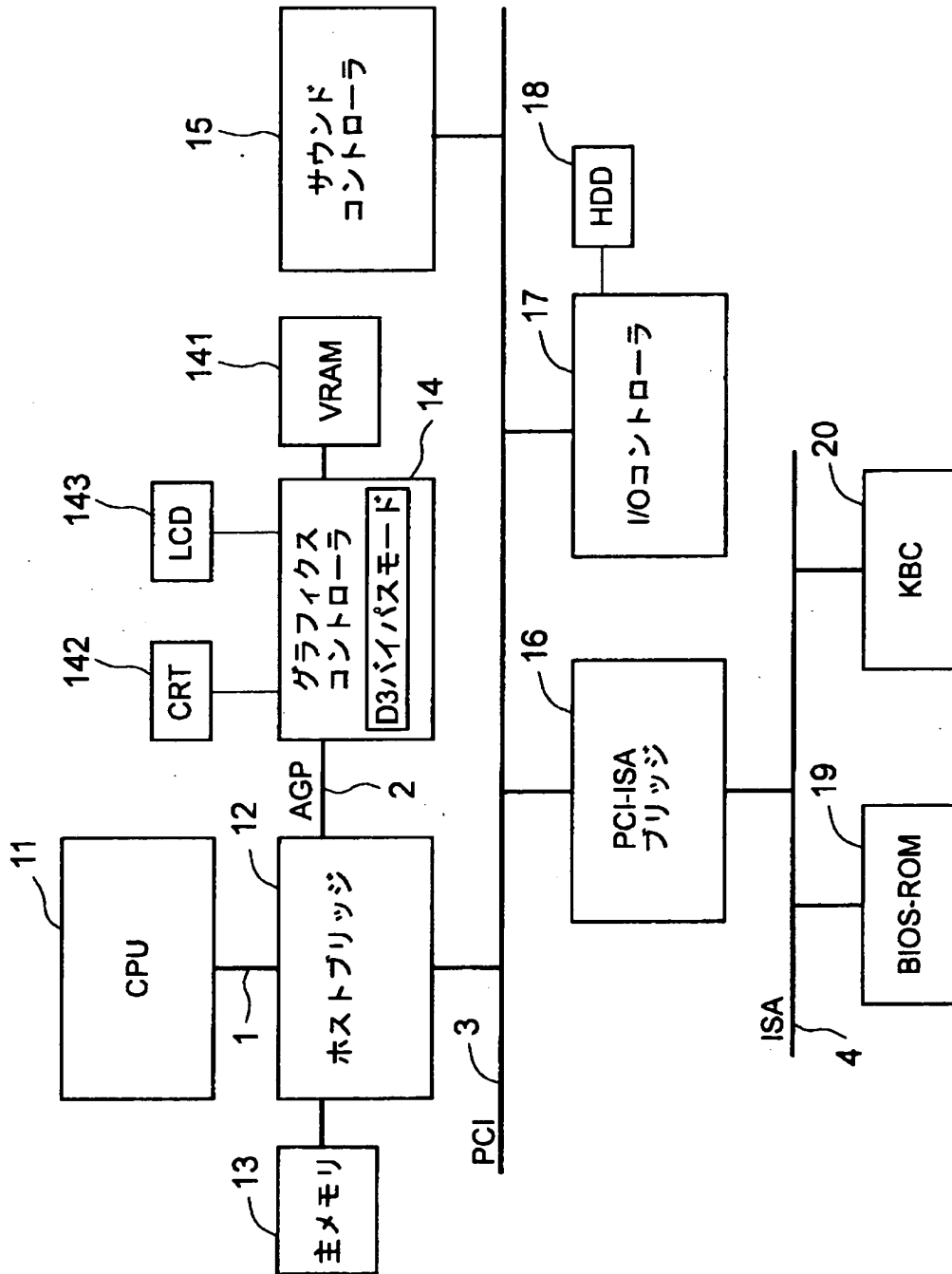
図 8 のシステムの D 3 バイパスモード時の動作を説明するフローチャート。

【符号の説明】

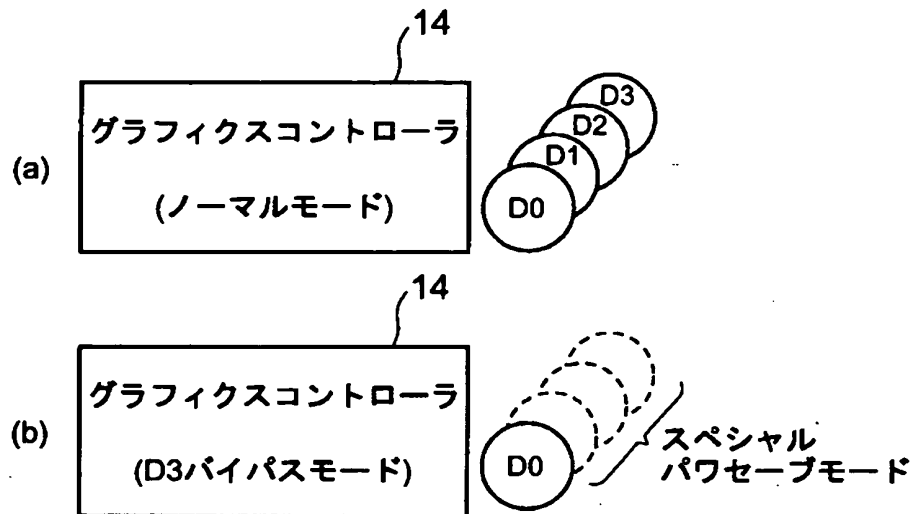
- 2…AGP
- 3…PCIバス
- 11…CPU
- 12…ホストブリッジ
- 13…主メモリ
- 14…グラフィクスコントローラ
- 15…サウンドコントローラ
- 19…BIOS-ROM
- 201…PCIコンフィグレーションレジスタ
- 202…D3バイパスレジスタ
- 203…I/Oレジスタ群
- 204…バイパス回路
- 205…コアユニット
- 401…ハードウェアストラップ

【書類名】 図面

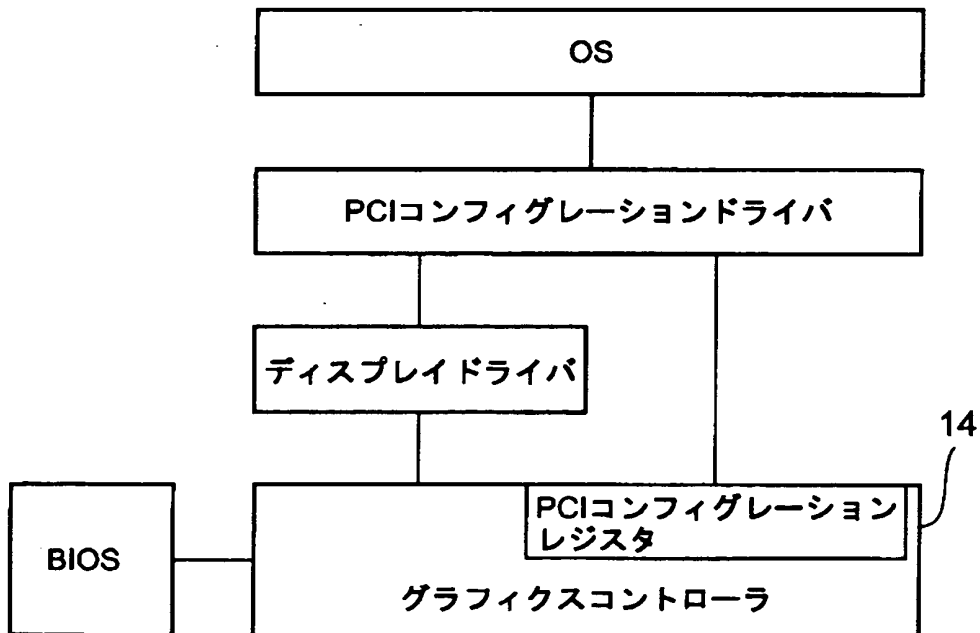
【図 1】



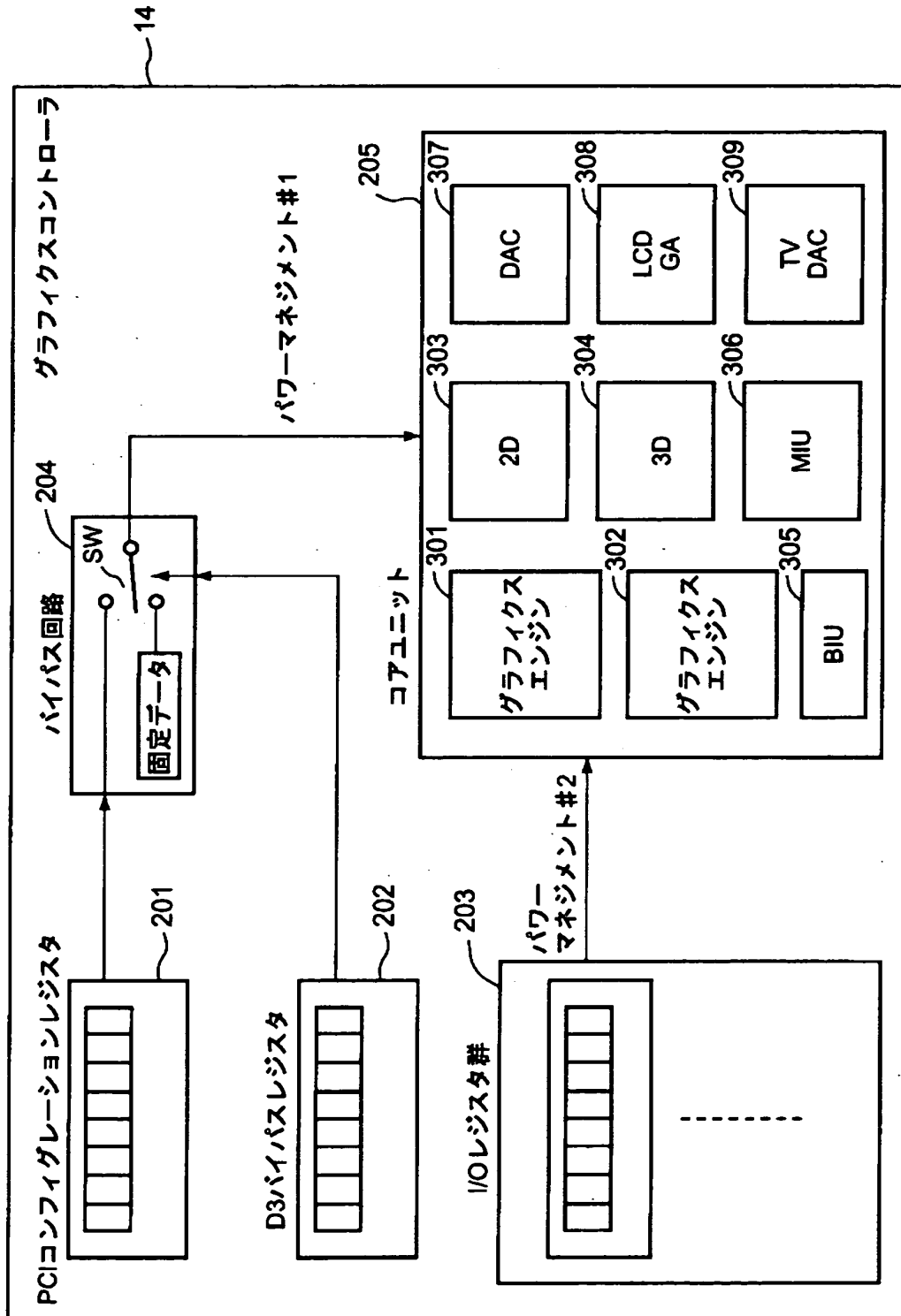
【図 2】



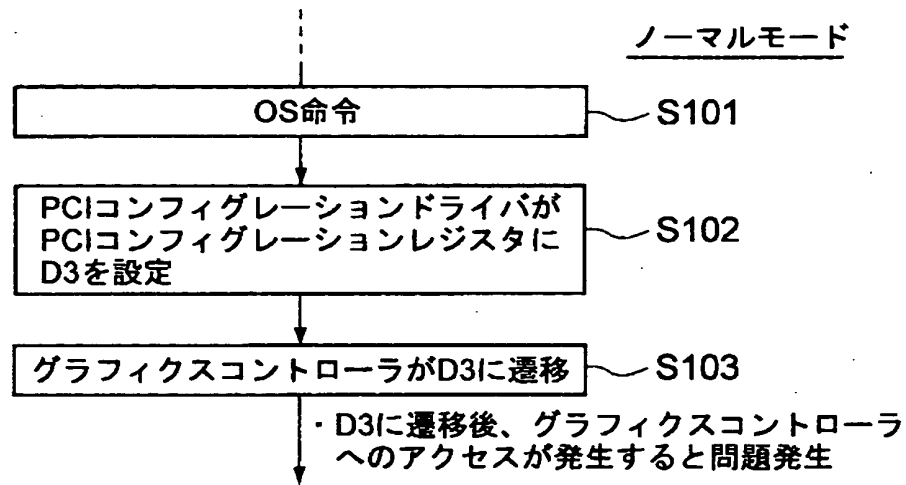
【図 3】



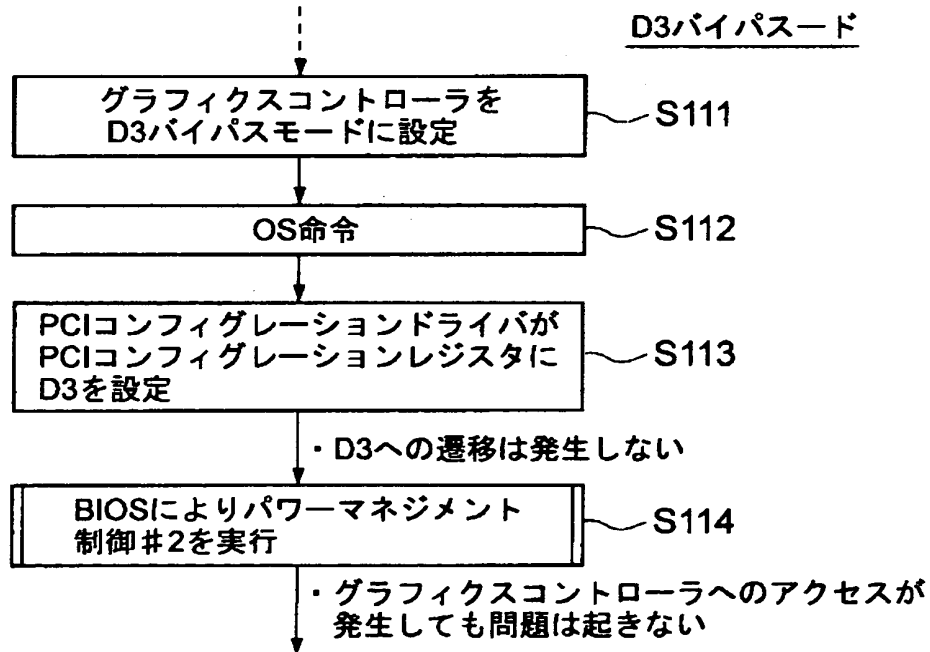
【図4】



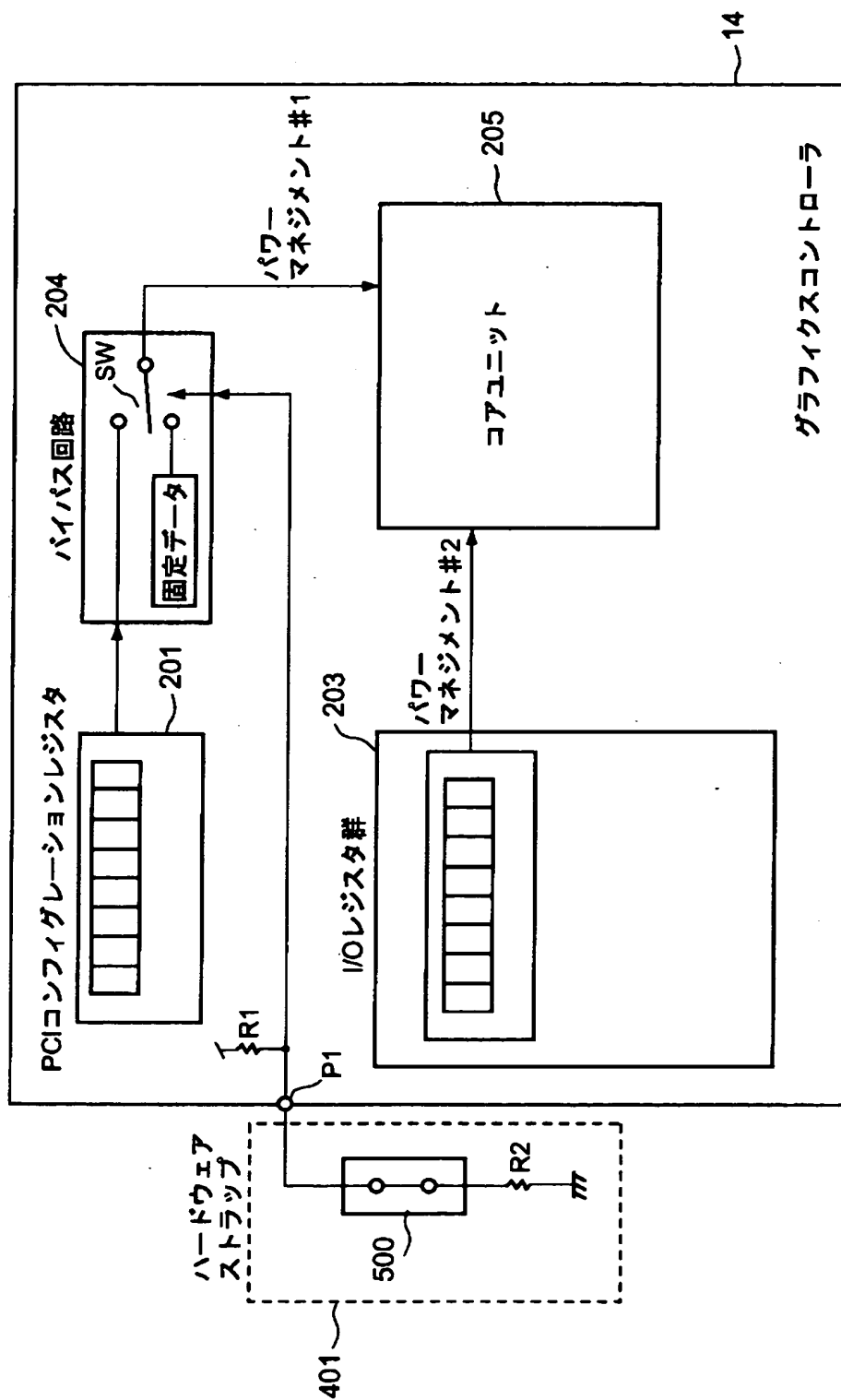
【図 5】



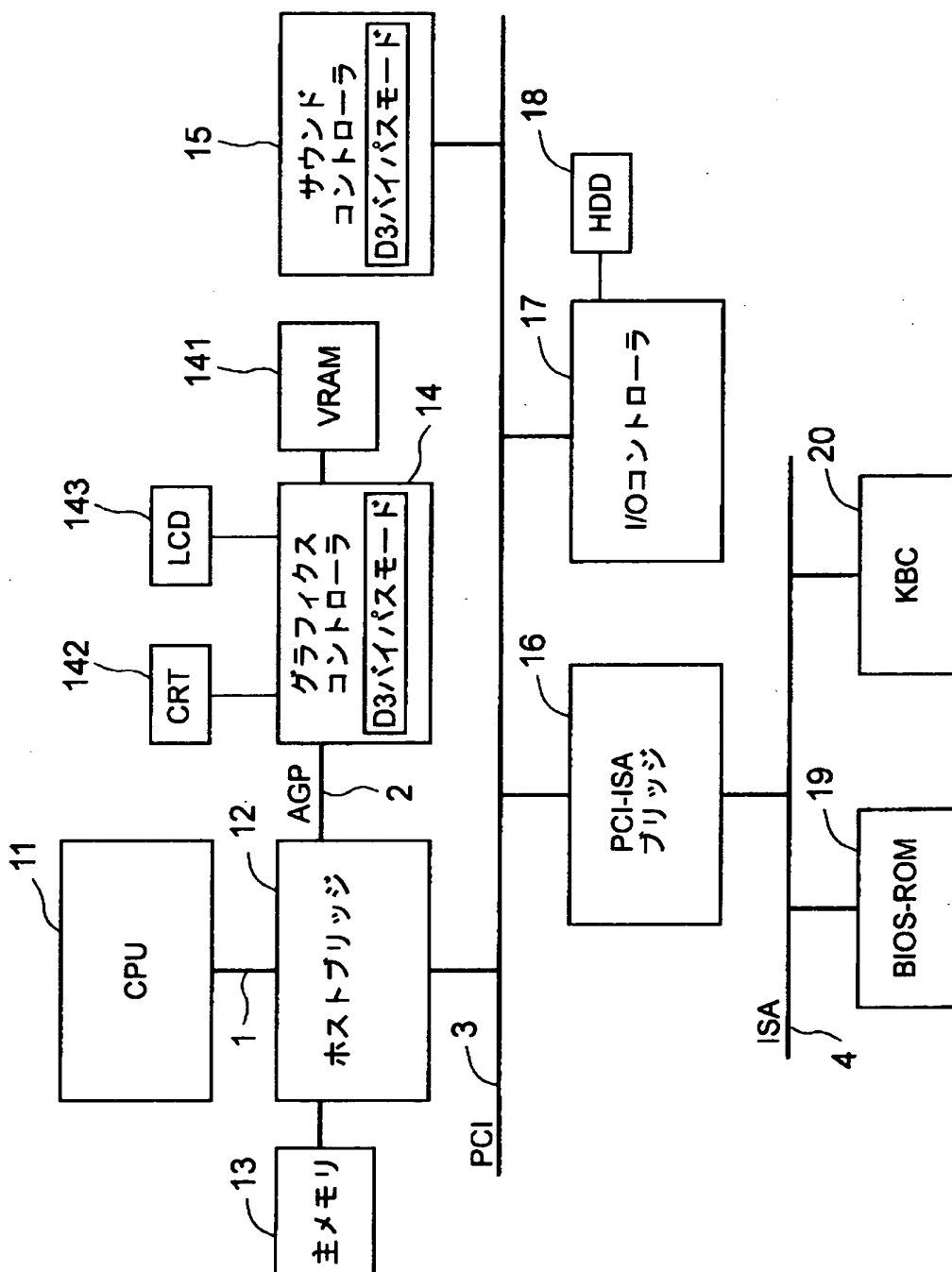
【図 6】



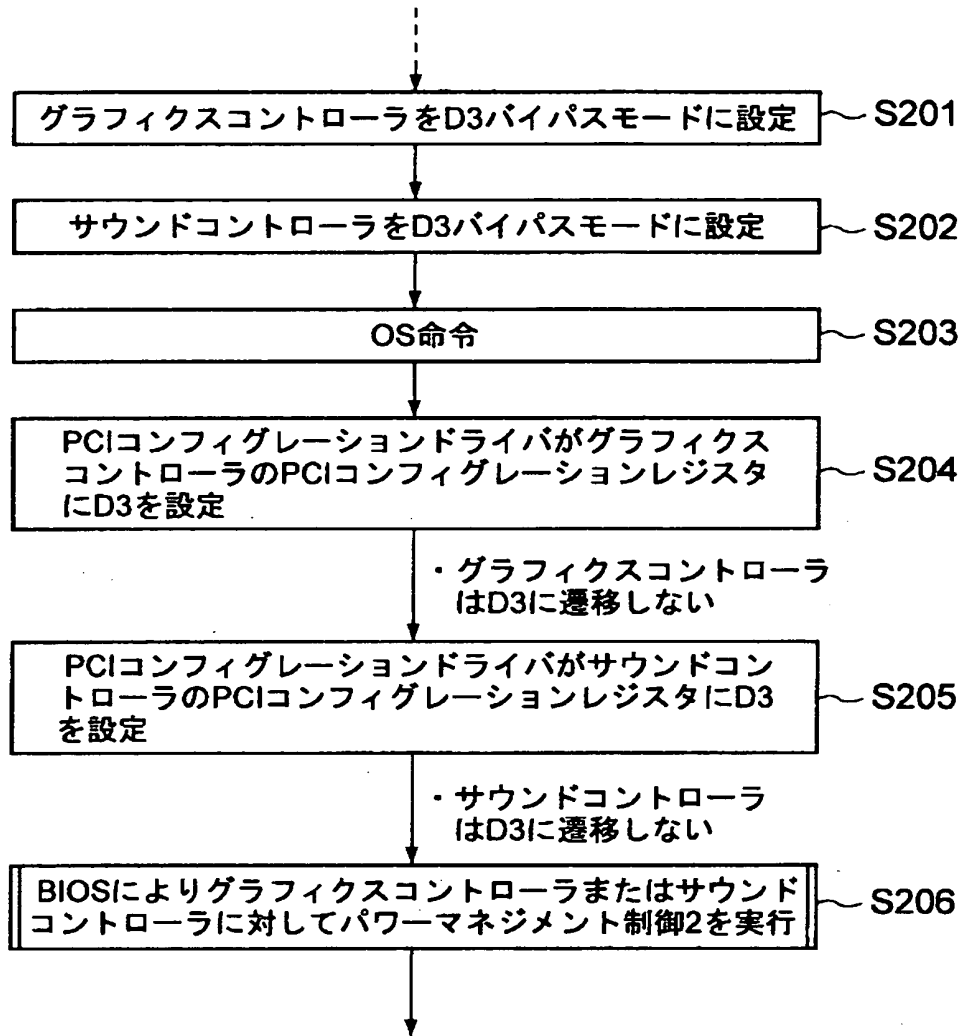
【圖 7】



【図8】



【図 9】



【書類名】 要約書

【要約】

【課題】 コンフィグレーションレジスタに D 3 への遷移を示す制御情報が設定された後にグラフィクスコントローラへのアクセスが発生してもそれによる不具合の発生を防止する。

【解決手段】 グラフィクスコントローラ 1 4 は A C P I 仕様に準拠したデバイスであり、デバイスステート D 0、D 3 をサポートしている。グラフィクスコントローラ 1 4 には、デバイスステート制御に使用される P C I コンフィグレーションレジスタが設けられており、A G P 2 を介してそこに D 3 が設定されると、グラフィクスコントローラ 1 4 は D 3 に遷移する。さらに、グラフィクスコントローラ 1 4 には D 3 バイパスモードと称する特殊モードが用意されている。この D 3 バイパスモードは P C I コンフィグレーションレジスタに対する D 3 の設定を無視し、グラフィクスコントローラ 1 4 が D 3 に遷移するのを禁止する機能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝